

JC962 U.S. PRO
09/838316
04/20/01

证 明

本证明之附件是向本局提交的下列专利申请副本

申 请 日： 2000 04 24

申 请 号： 00 1 06246.8

申 请 类 别： 发明

发明创造名称： 一种采用注氧隔离技术制备绝缘衬底上硅薄膜的方法

申 请 人： 卢志恒

发明人或设计人： 卢志恒

中华人民共和国
国家知识产权局局长

王素川

2001 年 4 月 4 日

权 利 要 求 书

1. 一种采用注氧隔离技术制备绝缘衬底上硅薄膜的方法，其特征在于将离子注入非晶化技术引入传统的注氧隔离技术制备工艺，其制备工艺可包括如下步骤，第一步采用传统的常规方法注入氧离子，第二步根据预期形成的 SiO_2 埋层和顶部 Si 层的厚度选用注入剂量和能量使整个埋层区域得以非晶化的离子，注入到经第一步氧注入处理的硅片中，接着进行第三步在表面沉积一层 SiO_2 保护层，然后在高于 1100°C 的温度下进行退火，接着进行第四步，根据 SiO_2 埋层和顶部 Si 层的厚度选用注入剂量和能量可以造成包含硅岛在内的一个区域再次非晶化的离子，注入到经过前面三步处理的样品，造成包含硅岛在内的一个区域再次非晶化，然后进行第五步，在不高于 1100°C 的温度下进行退火，再除去氧化层并采用其他常规的表面清洗工艺对制备好的材料进行清洗。

2. 如权利要求 1 所述的一种采用注氧隔离技术制备绝缘衬底上硅薄膜的方法，其特征在于所述第二步注入离子的剂量至少为 $5 \times 10^{14}/\text{cm}^2$ ，能量至少为 200keV 。

3. 如权利要求 1 或 2 所述的一种采用注氧隔离技术制备绝缘衬底上硅薄膜的方法，其特征在于所述第四步注入的离子的剂量至少为 $2 \times 10^{14}/\text{cm}^2$ ，能量至少为 200keV 。

4. 如权利要求 1 或 2 所述的一种采用注氧隔离技术制备绝缘衬底上硅薄膜的方法，其特征在于所述第二步选用的离子来自硅离子、氧离子、锗离子或除了氦以外的惰性气体离子。

5. 如权利要求 1 所述的一种采用注氧隔离技术制备绝缘衬底上硅薄膜的方法，其所述第一步采用传统制备方法对硅片进行氧注入，预期将产生 220nm 厚的顶部硅层和 340nm 厚的 SiO_2 层，第二步采用剂量为 $5 \times 10^{14}/\text{cm}^2$ 能量为 360keV 的硅离子注入到经第一步氧注入处理的硅片中，然后在高于 1100°C 的温度下进行退火，第四步选用剂量为 $2 \times 10^{14}/\text{cm}^2$ 能量为 400keV

2004-24

6

的硅离子进行注入，然后再以不高于 1100℃的温度进行退火，再除去氧化层和进行其他常规的表面清洗。

5

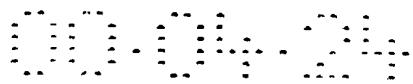
说 明 书

一种采用注氧隔离技术制备绝缘衬底上硅薄膜的方法

本发明涉及一种采用注氧隔离技术制备绝缘衬底上硅薄膜的方法。

目前的 CMOS 集成电路，是 MOS 电路的主流产品，不久前几乎无例外地
5 是在体硅衬底上制造的。主要是由于采用直拉或区熔技术可以得到电子级
纯度的硅材料，而且在硅片上可以生长高质量的氧化物。然而，大量的研
究表明，在传统的体硅片上制造更高集成度的半导体器件，例如当前国际
上正在开发的 $0.1 \mu\text{m}$ 线条器件，已经遇到了许多不可克服的困难。这主要
10 是由于制造体硅器件的硅片厚度约为 $500 \mu\text{m}$ ，但只有硅片顶层不大于 $1 \mu\text{m}$
用于制造器件，器件与衬底之间会产生相互作用，致使发生一系列的寄生
效应：首先在源、漏扩散区与衬底之间存在有寄生电容，主要由显而易见
的结的耗尽区电容组成，还包含结与位于场氧化层下面防止器件之间通过
表面漏电的沟道阻断重掺杂区之间的电容。源漏扩散区与衬底之间的寄生
电容随着集成度的提高而引起的衬底掺杂浓度的增高而增大。CMOS 的另一
15 个寄生效应是所谓的闩锁效应。它是由所有体 CMOS 结构内在的 PNPN 闸流
管结构的触发而引起的，可由多种机构触发，如节点电压过冲、位移电流、
结雪崩击穿和光电流，其闩锁效应通路可以由两个双极晶体管表示，当两
个双极晶体管组成的回路的电流增益大于 1 时它是由所有体 CMOS 闩锁效应
即被触发。目前为减少这些寄生效应多采用局部互联把接触区做在场区上
20 面以减少源、漏结区，利用外延衬底或深槽隔离减少闩锁效应，然而这些
技术工艺复杂，影响生产成本和成品率。除此之外，在体硅 CMOS 中还存在
危害成品率的因素，例如金属穿通结，尤其是沿场绝缘区边缘，结穿通会
引起漏电流骤增。

鉴于以上所述原因，人们开始考虑采用在绝缘衬底上的单晶硅薄膜（英
25 文简称 SOI）作为制造半导体器件的衬底，原因在于 SOI 器件的完整的介
质隔离可以避免在体硅中存在的大部分寄生效应。例如在 SOI 的 CMOS 反向



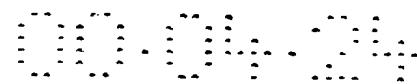
器中，由于硅层很薄，闩锁效应的通路被切断，横向 PNPN 结构包含重掺杂基区，重掺杂使双极晶体管的增益实际上减小到零。又如在 SOI 电路中，结与衬底的最大电容是隐埋的绝缘体电容。该电容正比于电容材料的介电常数。因此，当结耗尽层厚度与埋层，例如 SiO_2 ，厚度相同时，隐埋绝缘层的寄生电容是体硅结耗尽层电容的 $1/3$ 。如果器件的尺寸缩小，隐埋层的厚度无须等比例缩小，寄生电容不会增加，如果采用轻度掺杂的 P 型硅片做机械支撑衬底，可以进一步减少结 - 衬底电容。因此，SOI 的 CMOS 制造技术简单，首先便于制备浅结，在欧姆接触工艺中金属与硅的接触区下没有冶金结，即使金属与硅发生某些不可控制的反应也不会产生漏电。SOI 材料的体效应和寄生电容很小的特性使得其特别适合于制造高速、低电压、低功耗器件，是二十一世纪大规模集成电路主导产业的基础材料。除此之外，SOI 的 CMOS 器件还具有的另一个优点是抗辐照，当宇宙射线或核辐照粒子穿过器件时，一方面会引起电离产生额外的电子 - 空穴对；另一方面，还可能引起辐照损伤。由于 SOI 器件有隐埋氧化层的隔离。据估计，辐射的破坏效应可以降低 2 个数量级。抗辐照的 SOI 器件在航天领域和国防上的应用具有特别的意义。鉴于以上所述种种，SOI 材料和 SOI 器件的制备技术及其相关工艺理论的研究是当前国际上的研究热点和前沿课题，我国也自八五期间起一直将其列为国家重点攻关项目。

制造 SOI 材料的技术有多种，目前国际上主要开发的键合技术及注氧隔离技术（英文简称 SIMOX）。键合技术即将长有氧化层的硅片与另一硅片合成于一体，而用预先注入的氢原子层加温后将上层剥离、抛光。键合技术制备的 SOI 材料其绝缘层的质量和顶层硅的单晶完善程度都是有保证的，但是在注氢剥离时，高剂量注入的氢不易形成大面积的连续层，致使大面积剥离非常困难。同时键合的界面其物理性质并不完美；剥离出来的表面的精细抛光也是有待解决的技术问题。因此，适合于批量生产的注氧隔离技术是目前主要的研究工艺，它是将氧离子注入到硅片表面下形成 SiO_2 ，



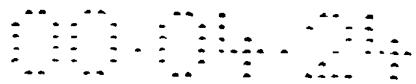
埋层，所用的工艺条件应保证氧化物上面有一层单晶硅。由于注氧隔离技术更适于制造大面积的 SOI 材料，从近一两年发表的学术论文来看，多数工作仍然是在这方面展开，本发明也是关于注氧隔离技术的。

对于 SIMOX 技术，自从 Izumi 于 1978 年发表了开创性工作以来已 20 多年
5 (参见 K. Izumi, M. Doken, 和 H. Ariyoshi, Electron. Lett. 14, 593 (1978))
目前在先进实验室制备 4-6 英寸 SOI 材料的工艺已经成熟。通常制备 SOI 材料
的方法是：首先将一定的高剂量的氧离子注入到温度处于特定范围内的硅中，
强调注入离子的剂量以及注入靶温的原因在于样品中注入离子的分布具有统计
性质。硅中氧的分布形状不是矩形的，而是一个相当不对称的高斯分布。实验
10 结果表明，为了获得连续的氧化物埋层必须使注入的氧离子的临界剂量剂量是
0.5-1.2 × 10¹⁸/cm² (参见 P. K. Vasudev, Solid State Technol. 11 月 69 期
(1990))，故一般采用强束流氧注入机将大于临界剂量的氧注入到硅中。另外由于氧的注入导致了射程范围内的硅非晶化。如果在注入过程中硅片温度太
低，顶部的硅就会完全非晶化，经过退火后形成多晶硅，这是完全不希望的。
15 如果注入时衬底处于较高的温度 (高于 500℃)，则在注入过程中产生的晶格
损伤会因退火而不断恢复，从而保持顶部表面的单晶结构。但是如果在更高的
温度下注入 (700℃-800℃) 时，靠近顶部硅层的下界面处会形成氧化物沉淀，
故最常用的衬底温度范围在 600℃-700℃ 之间。氧离子注入完成后，为形成符
合器件要求的 SIMOX-SOI 结构还需对样品进行退火处理。在退火过程中，氧化
20 物沉淀的溶解和富氧硅层中氧的聚集两个过程同时发生，小的沉淀溶解于硅
中，大的沉淀从溶解的氧中生长，一般而言，退火温度越高材料质量越好，在
高温退火时 (≥1300℃) 所有的 SiO₂ 沉淀将完全分解，而且溶解的氧向隐埋
氧化层内扩散。目前制备工艺采用的退火温度一般高达 1300℃-1350℃，退火
时间长达 6 个小时。这种提高材料品质的方法其盲目性较大，因为在 1300℃
25 进行退火时，虽然顶部硅全部从氧化物沉淀中脱出，顶层硅与隐埋氧化层之间
形成原子级陡峭，但是在距隐埋氧化层与硅衬底界面 25 nm 处的隐埋氧化层内



会发现一些由于硅的分凝而形成的叠层结构的残余物，称为硅岛，硅岛与硅衬底具有相同的晶向，其厚度约为 30 nm，长度为 30-200 nm，硅岛的存在极大地降低了隐埋氧化层的绝缘性能，是引起绝缘层漏电的主要原因。有许多学者试图解释硅岛为何难以去除，比较具有说服力的说法是由于硅岛的表面张力引起的正压力遏止了硅原子自内向外的扩散（参见 D. K. Sadana, H. J. Hovel, J. L. Freeouf, S. F. Chu, Mater. Res. Soc. Sump. Proc. 316, 699 (1994)）。另外，由于大剂量的氧注入形成很强的向外膨胀的附加应力，注入工艺把缺陷和应力引入顶部硅层，因而从 Si-SiO₂ 界面处到顶部硅层表面垂直地生长着难以消除的穿通位错（延伸位错）（参见 S. Bagchi, S. J. Krause, P. Roitman, Appl. Phys. Lett. 71, 2136 (1997)）。在退火期间金属杂质极易扩散到这些位错处，从而导致栅击穿电压降低，大量的位错使得在顶部硅层上制备的器件质量没有保证，成品率低。从以上所述可以看出，氧化物埋层中存在的硅岛及顶部硅层中的穿通位错是现有 SOI 制备工艺所难以解决的主要问题。

针对以上现有技术的不足之处，本发明提供了一种制备高品质 SOI 材料的方法，基本技术路线是在采用传统工艺对硅片注入氧离子注入后，采用离子注入非晶化技术进行离子注入。由于非晶化离子的注入，在注入过程中将打断原有的各种键，虽然不能使原来的硅原子或氧原子都变成孤立的、离散的，但至少在退火初期各种原子可以比较低的激活能，较多的间隙通道进行迁移，对经过处理后的硅片再进行退火处理时，将产生极强的增强扩散效应（参见 H. S. Chao, P. B. Griffin, J. D. Plummer, C. S. Rafferty, Appl. Phys. Lett. 69, 2113 (1997)）。材料的质量检验使用了断面透射电子显微镜（XTEM）观察和卢瑟福背散射（RBS）分析，结果表明制备成的 SOI 材料形成了 Si 与 O 原子配比为 2: 1 的 SiO₂ 埋层和衍射图案为单晶的表面硅层。重要的结果是在低于 1100℃ 退火的硅片没有产生硅岛，而在高于 1100℃ 进行退火时仍会产生硅岛。另外一个，也是最重要的结果是经过离子注入非晶化技术处理的材料经 1100℃ 或高于 1100℃ 进行退火的样品所有的



XTEM 观察都没有发现穿通位错。

以下结合附图和具体实施例来说明本发明是如何实现其有益效果的。

图 1 为采用常规工艺制备的 SOI 材料中 SiO_2 埋层的断面电子显微镜观察图；

图 2 为采用常规工艺制备的 SOI 材料中顶部 Si 层的断面电子显微镜观察图；

5 图 3 为经本发明第三步工艺处理后的 SOI 材料的断面电子显微镜观察图；

图 4 为经本发明工艺处理后的 SOI 材料的断面电子显微镜观察图；

如前所述，本发明是在传统的 SOI 材料 SIMOX 方法中采用了离子注入非晶化的技术，从而达到了本发明的预期目标。本发明公开了一种采用注氧隔离技术制备绝缘衬底上硅薄膜的方法，所选择的离子来自硅离子、锗离子、氧离子 10 及除了氦之外的惰性气体离子，非晶化注入的靶温可以是液氮冷却下的温度，也可以是室温，也可以是其它温度，由于使用的离子不同或选择的注入靶温不同，实现非晶化的区域不同以及欲进行注入的 SOI 材料顶层和埋层厚度不同，非晶化注入离子的剂量和能量都会不同，因此在进行制备之前根据所需要制备的 SOI 材料的顶层和埋层厚度不同以及非晶化注入离子的种类和注入靶温的不同，选择非晶化离子注入的剂量和能量，关于此剂量和能量的计算方法，早有

15 论文发表（参见 P. Sigmund, J. B. Sanders, Proc. Int. Conf. of Ion Beam to Semiconductor, 1972, P. 125; E. D. Richmond, A. R. Kundson, MRS, 51 (1986), 375; 李素杰、卢志恒，北京师范大学学报（自然科学版），1990 年第 2 期第 19 页）。其制备工艺可以包括如下步骤：选择注入的离子种类以及 20 注入能量和剂量后，按照传统工艺进行第一步制备工作，首先说明传统的制备工艺的一个例子：将剂量为 $1.5 \times 10^{18}/\text{cm}^2$ 能量为 170kev 的氧离子注入靶温为 680°C 的 p 型硅片。然后，应用 LPCVD 在其表面沉积 500 nm 厚的 SiO_2 保护层，再放入高温退火炉在 1300°C 下退火 6 小时，退火在含有 1% 氧的氩气气氛中进行，退火完成后，再用含有 10% HF 的水溶液除去表面氧化层，经过必要的清洗就得到用 SIMOX 工艺制备的 SOI 材料，在这种制备条件下制得的 SOI 材料中顶层单晶硅的厚度为 220 nm，埋层 SiO_2 厚度为 340 nm，采用传统的 SIMOX



工艺所生产的 SOI 材料无例外地可以通过其断面电子显微镜观察图发现其顶层存在穿通位错，参见附图 2，并且在埋层中发现有硅岛，参见附图 1。

本发明的第一步与传统的制备方法的氧离子注入步骤相同，第二步采用具有使所产生的 SiO_2 埋层整个区域非晶化的剂量和能量的离子，注入到经第一步氧注入处理的硅片中，接着进行第三步在表面沉积一层 SiO_2 保护层，在高于 1100°C 的温度下退火，这时通过断面电子显微镜观察，可以发现顶层硅中看不到穿通位错，而埋层 SiO_2 中的硅岛照样存在，如图 3 所示。为了消除埋层中的硅岛，进而采取第四步，选用具有可以造成包含硅岛在内的一个区域再次非晶化的剂量和能量的离子，注入到经过前面三步处理的样品，造成包含硅岛在内的一个区域再次非晶化，接着进行第五步在样品表面生长一层 SiO_2 保护层，在不高于 1100°C 的温度下进行退火，再除去氧化层并采用其他常规的表面清洗工艺对制备好的材料进行清洗。这时通过断面电子显微镜进行观察，参见图 4，可以发现不但顶部硅层中的穿通位错消失且 SiO_2 层中的硅岛全部消失，另外可以看到在 SiO_2 埋层的下方出现了一条损伤带，称为射程尾部损伤 (EOP)。由于 SiO_2 埋层的隔离，它不会对在顶层硅中制备的器件产生不利的影响。相反，这条损伤带还会吸收有害的金属杂质。

由上所述可以看出，本发明的有益效果在于解决了长期以来人们一直渴望解决的问题，即消除了 SOI 材料中顶部硅层中的穿通位错及氧化物埋层中的硅岛，提高了采用注氧隔离技术制备 SOI 材料的品质，提高了成品率，降低了成本。

本发明的实施例一，其制备工艺分五个步骤，第一步采用传统制备方法以剂量为 $1.5 \times 10^{18}/\text{cm}^3$ 能量为 170keV 的氧离子注入靶温为 680°C 的 p 型硅片中，制备而得的 SOI 材料其顶层单晶硅的厚度为 220 nm ，埋层 SiO_2 厚度为 340 nm ，第二步为了使 SiO_2 埋层整个区域非晶化，采用剂量为 $5 \times 10^{14}/\text{cm}^2$ 能量为 360keV 的硅离子注入到经第一步氧注入处理的硅片中，注入靶通过液氮进行冷却，然后进行第三步按传统工艺应用 LPCVD 在表面沉积一层 500

nm 厚的 SiO_2 保护层，在高于 1100℃ 的温度下进行退火。这时通过 XTEM 观察，可以发现顶层硅中看不到穿通位错，而埋层 SiO_2 中的硅岛照样存在，如图 3 所示，为了消除埋层中的硅岛，进行第四步，用 10% 的 HF 溶液清除样品表面的氧化层，选用剂量为 $2 \times 10^{14}/\text{cm}^2$ 能量为 400keV 的硅离子注入到经过前面三步处理的样品，造成包含硅岛在内的一个区域再次非晶化，

然后进行第五步再次用 LPCVD 方法在样品表面生长一层 500 nm 厚的 SiO_2 保护层，以不高于 1100℃ 的温度进行退火，再用 10% HF 水溶液除去氧化层和其他常规的表面清洗工艺，这样就得到具有顶层单晶完好，没有穿通位错，埋层 SiO_2 没有硅岛，绝缘性好的高品质的 SOI 材料，如图 4 所示。

另外在图 4 中，可以观察到在 SiO_2 埋层的下方出现了一条损伤带，称为射程尾部损伤 (EOP)，如前所述，由于 SiO_2 埋层的隔离，它不会对在顶层硅中制备的器件产生不利的影响。相反，这条损伤带还会吸收有害的金属杂质。

在这个例子中，选用了硅离子作为产生非晶化的注入离子，事实上，为了同样的目的，可以选用氧、锗或者除氮以外的各种惰性气体的离子，注入的靶温也不一定需要在液氮冷却下，也可以是室温，也可以是其它温度，但是如前所述，使用不同的离子或者不同的靶温进行注入要使某个区域非晶化，所需的注入剂量和能量都会不同，当用硅离子作为非晶化注入离子时，针对需实现非晶化的区域的不同及顶层和埋层厚度的不同选择注入的硅离子的剂量和能量，关于硅注入非晶化的注入剂量和注入能量的选择，有一个简化的计算方法（参见李素杰、卢志恒，北京师范大学学报（自然科学版），1990 年第 2 期第 19 页）。



000-04-24

14

说 明 书 附 图

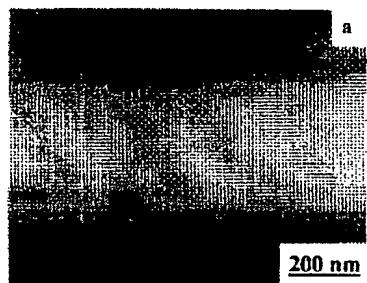


图 1

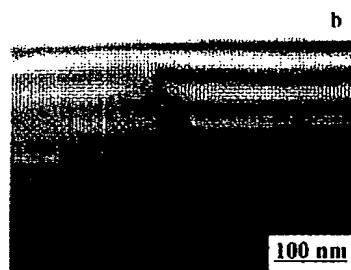


图 2

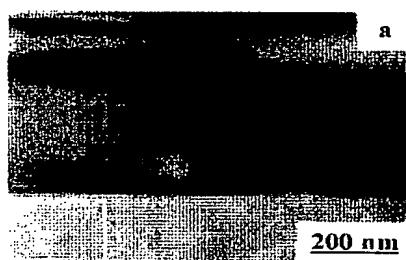


图 3



图 4